

EVALUACIÓN DE ESTRATEGIAS DE TEST DE CIRCUITOS UTILIZANDO MODELOS DE FALLAS ESTADÍSTICOS: UN CASO DE ESTUDIO

José Peralta^a, Gabriela Peretti^a, Eduardo Romero^{a,b} y Carlos Marqués^b

^aGrupo de Investigación y Servicios en Electrónica y Control, Universidad Tecnológica Nacional,
Facultad Regional Villa María, Avda. Universidad 450, 5900 Villa María, Argentina,
gisec@frvm.utn.edu.ar

^bGrupo de Desarrollo Electrónico e Instrumental, Universidad Nacional de Córdoba, Facultad de
Matemática, Astronomía y Física, Medina Allende y Haya de Torre, 5000 Córdoba, Argentina,
marques@famaf.unc.edu.ar

Palabras clave: test de circuitos analógicos, modelos de falla estadística, test por análisis de respuesta transitoria.

Resumen. En el presente trabajo se evalúa la capacidad de la estrategia de test denominada Método de Análisis de Transitorio (TRAM) para detectar fallas en los elementos de un filtro bajo condiciones de variabilidad estadística de los mismos. Esta es una perspectiva de evaluación no tradicional que permite la generación de nuevos datos y métricas referidas a un circuito de una complejidad mayor que el previamente reportado por estos autores.

El modelo de falla adoptado consiste en variar todos los parámetros del circuito dentro de sus tolerancias, con distribución normal, excepto uno que adopta un valor fuera de tolerancia, representado como una desviación del valor nominal del mismo. Los resultados de simulación de fallas muestran que, utilizando TRAM, la probabilidad de detectar fallas para desviaciones mayores de 35% es alta (mayor de 80%) para casi todos los componentes con excepción de dos, que se consideran difícil de detectar. No obstante, se encuentra que las fallas de desviación pequeñas son difíciles de detectar. En el caso de que la aplicación requiera la detección de este tipo de desviaciones, la aplicación de este método de test debiera desaconsejarse.

1 INTRODUCCIÓN

El rápido desarrollo de las tecnologías de integración de circuitos electrónicos ha permitido la concepción en un solo dispositivo de sistemas digitales y analógicos. Sin embargo, las inevitables desviaciones en los parámetros de los procesos de producción pueden inducir fallas en los productos. Estas fallas generalmente provocan que el componente o sistema fabricado no cumpla con sus especificaciones de diseño y se constituyen en la motivación principal para la implementación de estrategias de test. Éstas están bien desarrolladas para los circuitos digitales, encontrándose paradigmas aceptados por la comunidad científica e industrial (Miczo, 2003). La situación es completamente diferente para los circuitos analógicos, para los cuales no se ha logrado una solución general y sólo se dispone de estrategias para algunos tipos (Bushnell y Agrawal, 2002). Las dificultades en el desarrollo de metodologías de test de circuitos analógicos pueden atribuirse a la generalmente baja observabilidad de los nodos internos de los circuitos y a la naturaleza compleja de las señales involucradas. Estos factores se hacen más críticos en los circuitos de señales mixtas, debido a que las entradas y/o salidas de los circuitos analógicos están normalmente conectadas a circuitos digitales, lo que complica la aplicación de vectores de test y la observación de las respuestas.

En la actualidad, se estima que el impacto del desarrollo e implementación de estrategias de test alcanza al 33% del costo del producto final. Esto ha motivado una considerable inversión de esfuerzos en el desarrollo de estrategias de test para los subsistemas comúnmente encontrados en las aplicaciones analógicas y de señal mixta (Vinnakota, 1998; Chatterjee y Nagi, 1997).

Particular atención han recibido los filtros implementados en tiempo discreto o continuo. Las técnicas tradicionales para filtros se basan en verificar sus especificaciones funcionales, por ejemplo la ubicación de los límites de la banda de paso, el desempeño en la banda de atenuación, etc. Sin embargo, este proceso demanda demasiado tiempo, impactando en el costo del proceso de test. Por esta razón aparecen técnicas alternativas, fundamentalmente orientadas a incluir el test como parte integral del diseño de estos bloques (Vinnakota, 1998). Numerosas estrategias de test pueden encontrarse en la literatura, normalmente basadas en algún tipo de reconfiguración de las etapas que conforman el filtro bajo test y en el agregado de circuitos adicionales (Soma, 1990; Vázquez et al. 1994, Romero et al. 2005).

El Análisis de Respuesta Transitoria (TRAM, *Transient Analysis Method*) ha sido propuesto recientemente por Calvano et al. (1999, 2000) para el test de filtros de segundo orden. La idea central de esta estrategia es excitar al sistema bajo test con una señal de entrada que provoque un transitorio sub-amortiguado. Se asume que la presencia de fallas en el filtro provocará un cambio en el tiempo de ocurrencia del pico y/o en la sobre-elongación, haciéndolas observables. La simplicidad conceptual y de implementación de esta estrategia de test, sumada a su alta eficiencia para la detección de desviaciones en los parámetros funcionales del filtro y en los valores de los componentes, la hacen sumamente atractiva tanto para implementaciones discretas como integradas.

Tradicionalmente se ha utilizado para las evaluaciones de TRAM el modelo de fallas de desviación única en los componentes del circuito. En este modelo se asume que un solo componente tiene un valor fuera de lo establecido, mientras los demás asumen sus valores nominales. Si bien este modelo es sencillo y se encuentra relativamente aceptado en la comunidad del test, no tiene en cuenta la variabilidad natural de los componentes debido a, por ejemplo, desviaciones en los parámetros de la tecnología utilizada. Esto puede conducir a una sobreestimación de las capacidades de la estrategia. Sólo recientemente se han realizado evaluaciones de TRAM utilizando modelos de fallas más realistas (Peralta et al. 2007a,b), los

que se basan en análisis estadísticos del circuito.

En este trabajo se propone ampliar los resultados reportados (Peralta et al. 2007a), aportando un nuevo caso de estudio de una complejidad mayor al anteriormente abordado. Adicionalmente se reportan otras métricas que permiten una mejor caracterización del test.

2 MODELOS DE FALLAS PARAMÉTRICAS

La variación estadística en los valores de los componentes de un circuito es considerada en la actualidad como una de las causas fundamentales de que un sistema electrónico no cumpla con las especificaciones de desempeño. Por consiguiente, los modelos de fallas catastróficas y de desviación única deben ser complementados con otros que permitan evaluar la eficiencia de las técnicas de test bajo hipótesis de variabilidad múltiple en los parámetros circuitales (Vinnakota, 1998).

Saab et al. (2000) proponen una metodología de simulación de fallas paramétricas, estableciendo métricas para ponderar la eficiencia de la estrategia de test bajo estudio. Para ello los autores sugieren dos modelos de fallas: el modelo de falla única y el modelo de falla de grupo. En el primer modelo consideran que todos los parámetros del circuito varían dentro de sus tolerancias (para estos se asume una distribución normal) y sólo uno adopta un valor fuera de tolerancia. En el segundo modelo consideran que un grupo de componentes puede sufrir desviaciones en sus tolerancias. Un modelo de falla única similar adoptan Khouas y Derieux (2000), proponiendo también un algoritmo que permite disminuir el costo computacional de la simulación de este tipo de falla. Chang et al. (2002) han utilizado este modelo y estudiado su relación con las especificaciones del circuito, con el objeto de remover alguna de ellas y de esa forma reducir el tiempo de test.

Acar y Osev (2005) proponen inyectar fallas en los parámetros de bajo nivel del circuito, adoptando para ello dos distribuciones gaussianas desplazadas a ambos lados de la distribución del parámetro sin fallas. La inyección se realiza en un parámetro por vez (haciendo uso de simulación Monte Carlo) mientras los demás varían dentro de sus límites de tolerancia. Para cada instancia del circuito es posible determinar el cumplimiento de las especificaciones y al mismo tiempo evaluar los criterios de test para su clasificación como aceptado o rechazado.

Liu y Osev (2005) adoptan un modelo que asume una distribución normal para los parámetros sin fallas del circuito. El parámetro con desviación anormal se considera que tiene una distribución uniforme que se encuentra a ambos lados de los límites de la distribución sin fallas. La detectabilidad de una falla se determina mediante el análisis de las distribuciones con y sin fallas obtenidas usando el modelo antes descrito.

Otros autores (Raghunathan et al. 2004, Chaehoi et al. 2003) utilizan modelos de fallas de desviación múltiple para evaluar la eficiencia de estrategias de test alternativas para discriminar circuitos fuera de especificación. Para esto asumen que los parámetros de bajo nivel del circuito tienen una distribución gaussiana, y consideran situaciones de variabilidad creciente en estos parámetros.

3 CASO DE ESTUDIO ADOPTADO

En este trabajo se adopta como caso de estudio un filtro pasa-banda de segundo orden propuesto por Kaminska et al. (1997). La topología del mismo puede verse en la [Figura 1](#).

Como fuese mencionado en la sección introductoria, TRAM establece si un circuito presenta fallas evaluando dos parámetros de la respuesta oscilatoria del circuito, el tiempo de pico (T_p), y el valor de la sobre-elongación (OS). Estos dos valores han sido señalados en la respuesta nominal a la rampa ([Figura 2](#)) del filtro de segundo orden. Las expresiones (1) y (2)

relacionan estos parámetros con los valores de los componentes del circuito.

$$T_p = \frac{\pi}{\sqrt{\frac{R_2}{C_2 R_4 C_1 R_3 R_5} \cdot \sqrt{1-\zeta^2}}}, \quad (1)$$

$$OS = e^{-\frac{\pi \zeta}{\sqrt{1-\zeta^2}}}, \quad (2)$$

donde, para el caso del filtro bajo estudio, ζ es dada por:

$$\zeta = \frac{R_6 \cdot (R_3 R_1 + R_2 R_5 + R_2 R_1)}{2 \cdot C_1 R_3 R_5 R_1 \cdot (R_6 + R_7)} \cdot \frac{1}{\sqrt{\frac{R_2}{C_2 R_4 C_1 R_3 R_5}}} \quad (3)$$

Las expresiones anteriores son de gran importancia para la metodología de evaluación propuesta en este trabajo, ya que permiten la determinación de los parámetros necesarios para definir la calidad del test, evitando la simulación del circuito. De esta forma, es posible disminuir notoriamente el costo computacional.

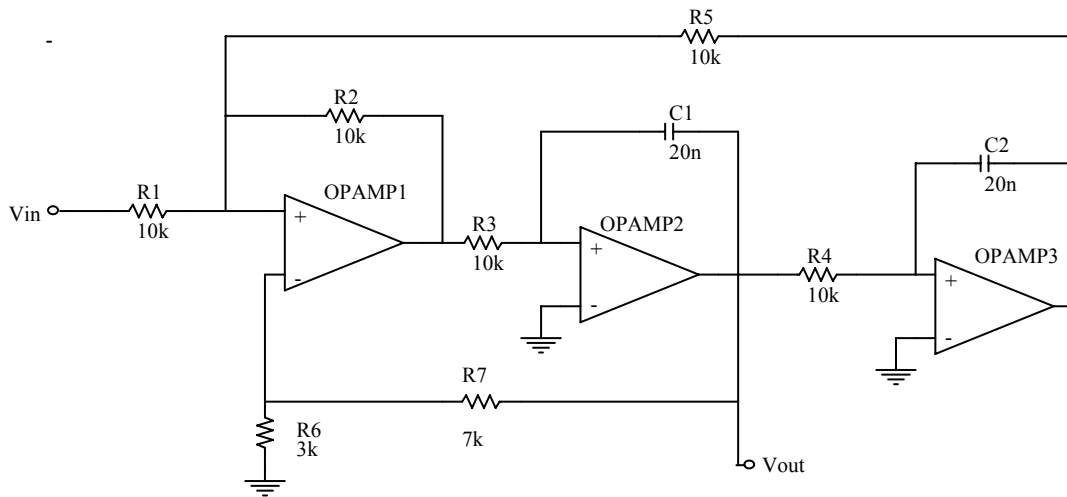


Figura 1: Filtro bajo test.

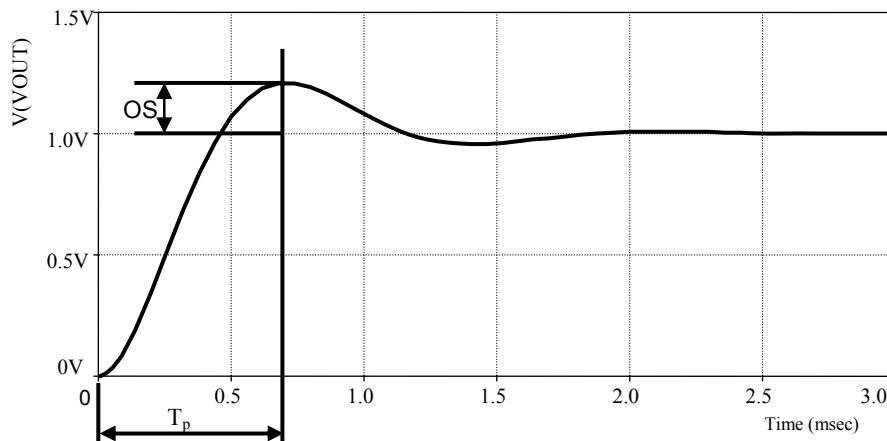


Figura 2: Respuesta nominal a la rampa.

4 PROCEDIMIENTO DE EVALUACIÓN

En una primera etapa se determinan las distribuciones estadísticas de los atributos de test (T_p y OS) cuando los parámetros circuitales varían dentro del rango de variabilidad permitida ($\pm 10\%$). Para ello se implementa un análisis Monte Carlo de 1000 iteraciones, asumiendo que los componentes presentan distribución normal con media igual al valor nominal especificado para cada componente en la [Figura 1](#) y desviación estándar correspondiente al 3.33% de ese valor. Se asume que no hay correlación en las variables aleatorias involucradas.

Para evaluar el grado de ajuste a distribuciones normales de los datos obtenidos se utiliza el test de Shapiro-Wilk, el que permite establecer con el 95% de confianza que no es posible rechazar la hipótesis de normalidad de los datos. Asumiendo estas distribuciones, se determinan los Límites Estadísticos de Tolerancia (LET) de estos parámetros. Para ello pueden utilizarse diferentes criterios como la maximización del rendimiento del proceso, de la cobertura de fallas o del costo. Adoptando el primero de ellos (Saab et al. 2000), se obtienen límites a ± 2.676 desviaciones estándar de la media, los que se reportan en la [Tabla 1](#). El 99% de las observaciones de T_p y OS se encuentran dentro de estos límites con el 95% de confianza. Consecuentemente, se considera que una observación de T_p y/o OS fuera de estos límites indica la presencia de una falla en el circuito.

Límites	T_p (s)	OS
Inferior	0.00062376	0.15143
Superior	0.00078476	0.25967

Tabla 1. Límites estadísticos de tolerancia.

Para evaluar la capacidad de TRAM para la detección de fallas bajo condiciones de variabilidad estadística simultánea de los componentes, se adoptó el modelo de falla propuesto por Saab et al. (2000). Este modelo considera que sólo un componente puede fallar a la vez, mientras que los demás pueden asumir valores aleatorios dentro de su rango de tolerancia. La falla se introduce haciendo que el componente adopte un valor determinístico fuera de su tolerancia. Esta condición se esquematiza en la [Figura 3](#) para el componente C1.

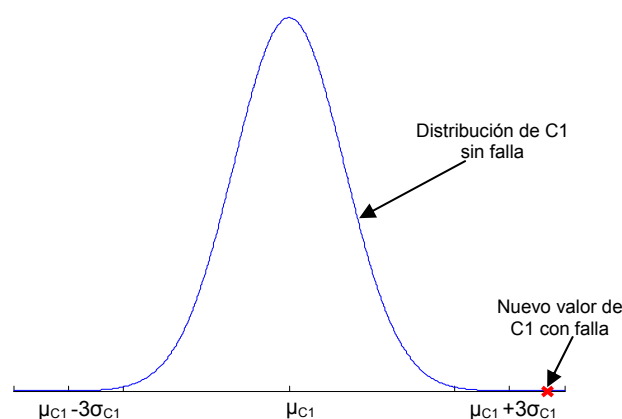


Figura 3. Distribución normal y con fallas del componente C1

Para nuestros experimentos se han considerado fallas de desviación comprendidas entre el 10% y el 40% del valor nominal del componente, en pasos de 2.5%. Para cada uno de los valores adoptados, los demás parámetros varían estadísticamente dentro de sus tolerancias normales cuando se realiza la simulación de fallas.

Para estimar la Probabilidad de Detección de una Falla (PDF) de desviación dada, se

genera una población de 1000 individuos con uno de sus componentes con un valor fijo (el valor bajo condición de falla) mientras que los demás asumen valores aleatorios comprendidos dentro de sus tolerancias. Para esta población se determina el número de eventos en que T_p y/o OS presentan valores fuera de los LTE. En estos casos se consideran a las fallas como detectadas. La PDF se estima como el total de fallas detectadas sobre el total de fallas inyectadas para el nivel considerado de desviación.

De esta forma es posible obtener gráficos que ponderan la capacidad del esquema de test para la detección de fallas en cada componente. En estos gráficos, en el eje de abscisas se indica el nivel de desviación del componente (en porcentaje del valor nominal) y en el de ordenadas la PDF (en porcentaje). Se han considerado tres situaciones: test por medición única de OS , de T_p y conjunta.

Para el caso de las resistencias (Figura 4, Figura 5, Figura 6, Figura 7, Figura 8, Figura 9 y Figura 10) se observa la complementariedad de las mediciones, ya que para algunos casos las desviaciones son más fácilmente detectables por OS , mientras que en otros por T_p . Un comportamiento similar puede observarse para el caso de los capacitores del filtro (Figura 11 y Figura 12). Esto permite concluir que será necesario implementar las dos mediciones para lograr PDFs razonables. La PDF de una falla de desviación por medición simultánea de T_p y OS también se muestra en las figuras antes mencionadas. Un comportamiento común observado es que las desviaciones negativas son más fácilmente detectables que las positivas. Adicionalmente los resultados demuestran la ineficiencia de la técnica para la detección de fallas de desviación pequeñas (menores al 20%), obteniéndose valores relativamente altos para desviaciones superiores al 35% con excepción de R1 (Figura 4) y R2 (Figura 5), que debieran considerarse como componentes difíciles de detectar utilizando este método.

Con la finalidad de obtener una métrica que permita caracterizar globalmente a la técnica, se calcula la cobertura de fallas en función del porcentaje de desviación de la falla. Esta se define como el promedio de las probabilidades de detección obtenidas para cada nivel de falla de desviación (Khouas y Derieux, 2000). Estos resultados se resumen en la Tabla 2.

De esta tabla se observa que los valores de cobertura de fallas obtenidos son bajos para fallas de desviación pequeñas ($\pm 20\%$) alcanzando valores cercanos al 55%, lo que confirma nuestra observación anterior de que las desviaciones pequeñas son difíciles de detectar. Por otro lado, fallas de -30% y $+40\%$ arrojan valores de cobertura de fallas aceptables. Si bien esta métrica pondera globalmente a TRAM y con una buena capacidad de predicción, no expone las dificultades presentadas por la estrategia para detectar fallas en algunos componentes.

Falla de desviación (% del valor nominal)	Cobertura de falla (%)
-40	99.29
-30	91.63
-20	54.66
+20	39.52
+30	73.11
+40	87.66

Tabla 2. Coberturas de fallas.

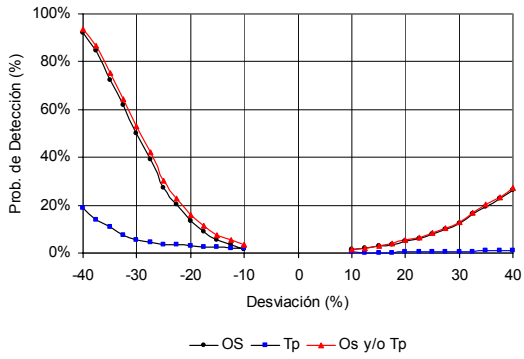


Figura 4. Probabilidad de detección de fallas en R1

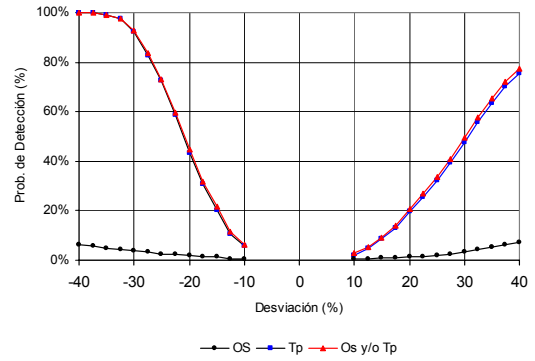


Figura 5. Probabilidad de detección de fallas en R2

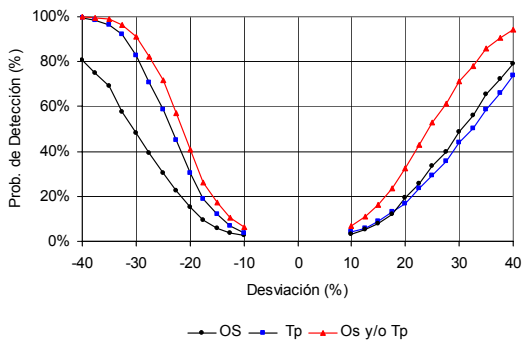


Figura 6. Probabilidad de detección de fallas en R3

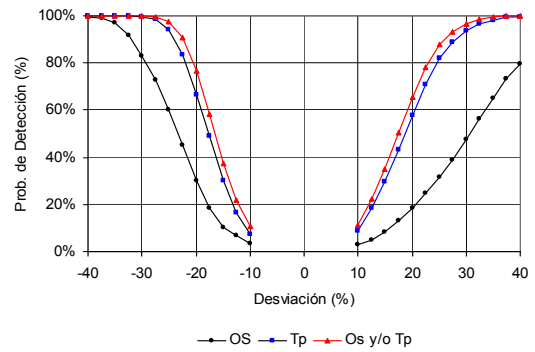


Figura 7. Probabilidad de detección de fallas en R4

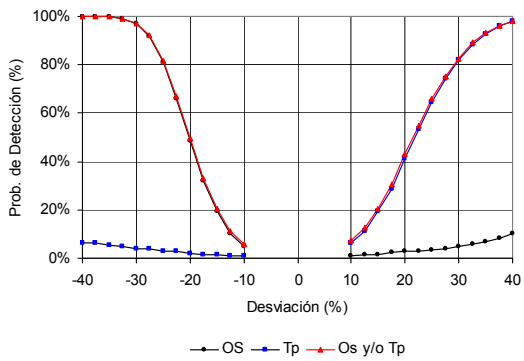


Figura 8. Probabilidad de detección de fallas en R5

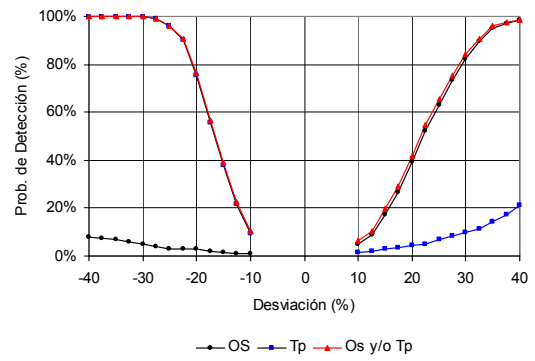


Figura 9. Probabilidad de detección de fallas en R6

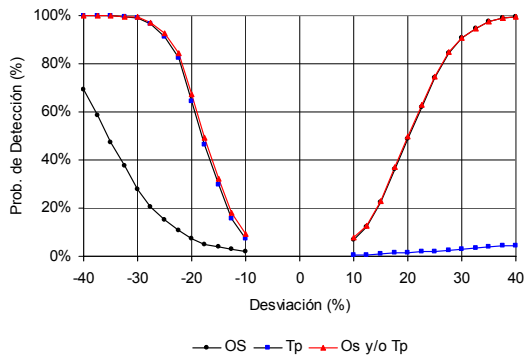


Figura 10. Probabilidad de detección de fallas en R7

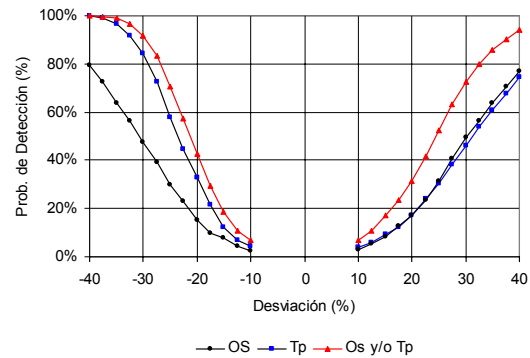


Figura 11. Probabilidad de detección de fallas en C1

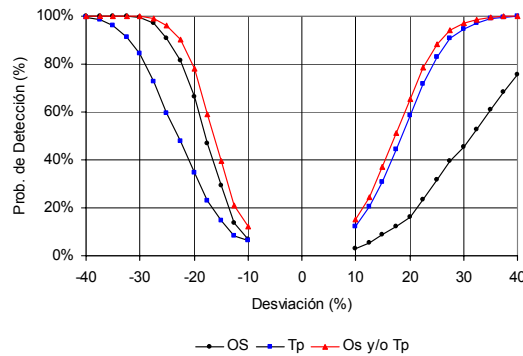


Figura 12. Probabilidad de detección de fallas en C2

5 CONCLUSIONES

En el presente trabajo se ha evaluado la capacidad de TRAM para la detección de fallas en los elementos del filtro bajo estudio en condiciones de variabilidad estadística de los mismos. Esta es una perspectiva de evaluación no tradicional que permite la generación de nuevos datos y métricas referidas a un circuito de una complejidad mayor que el previamente estudiado por estos autores.

Los resultados demuestran que una alta probabilidad de detección de fallas puede lograrse sólo si se implementa la medición de T_p y OS . En este sentido las mediciones son complementarias. Se ha detectado que las resistencias R1 y R2 deben considerarse como los componentes más difíciles de verificar, ya que presentan probabilidades de detección de fallas relativamente bajas. En general puede afirmarse que las fallas de desviación pequeñas son difíciles de detectar utilizando TRAM. En el caso de que la aplicación requiera la detección de este tipo de desviaciones, la aplicación de este método debiera desaconsejarse.

Adicionalmente se ha calculado también la cobertura de fallas siguiendo un procedimiento previamente sugerido por otros autores. Esta métrica es global y permite obtener una figura de mérito de la estrategia. Los valores obtenidos muestran una baja cobertura para desviaciones pequeñas (20%), mientras que alcanzan valores que deben considerarse como buenos o muy buenos para desviaciones del orden de -30% y +40%. No obstante, debe señalarse que si bien esta métrica es atractiva para caracterizar globalmente a TRAM, no evidencia las dificultades de detección de fallas en R1 y R2.

REFERENCIAS

- E. Acar, S. Ozev, Parametric Test Development for RF Circuits Targeting Physical Faults Locations and Using Specification-Based Fault Definitions. *IEEE-ACM Int Conference on Computer Aided Design*, 73-79, 2005.
- M. Bushnell, V. Agrawal. *Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI Circuits*. Kluwer Academic Publishers, 2002.
- J. Calvano, V. Alves, M. Lubaszewski. Fault Detection Methodology for Second Order Filters Using Compact Test Vectors Transient Analysis. *3rd Int. Workshop on Design of Mixed-Mode Integrated Circuits and Applications*, 18-24, 1999.
- J. Calvano, V. Alves, M. Lubaszewski. Fault detection methodology and BIST method for 2nd order Butterworth, Chebyshev and Bessel Approximations. *Proc. 18th IEEE VLSI Test Symposium*, 319-324, 2000.
- A. Chaeohi, Y. Bertrand, L. Latorre, P. Nouet. Improving the Efficiency of the Oscillation Based Test Methodology for Parametric Faults. *IEEE Latin American Test Workshop*, 234-237, 2003.
- S. Chang, C. Lee, J. Chen. Structural Fault Based Specification Reduction for Testing Analog Circuits. *J. of Electronic Testing*, 18:571-581, 2002.
- A. Chatterjee, N. Nagi. Design for testability and built-in self-test of mixed-signal circuits. *Proceedings 10th International Conference on VLSI Design*, 388-392, 1997.
- B. Kaminska, K. Arabi, I. Bell, P. Goteti, J. Huertas, B. Kim, A. Rueda, M. Soma. Analog and mixed-signal benchmark circuits- First release. *Proceedings of the International Test Conference*, 183-190, 1997.
- A. Khouas, A. Derieux. Fault Simulation for Analog Circuits under Parameter Variations. *Journal of Electronic Testing*, 16:269-278, 2000.
- F. Liu, S. Ozev. Fast Hierarchical Process Variability Analysis and Parametric Test Development for Analog/RF Circuits. *Proc. 2005 Int. Conference on Computer Design*, 161-170, 2005.
- A. Miczo. *Digital Logic Testing and Simulation*. Second Edition. John Wiley & Sons, 2003.
- J. Peralta, G. Peretti, E. Romero, C. Marqués. Evaluación del Análisis de respuesta transitoria bajo condición de falla paramétrica. *Actas XIII Taller Iberchip*, 2007a.
<http://www.iberchip.org>
- J. Peralta, G. Peretti, E. Romero, C. Marqués. Detecting Parametric Faults using TRAM. *8th IEEE Latin American Test Workshop*, 2007b.
- A. Raghunathan, J. Chun, J. Abraham. Quasi-Oscillation Based Test for Improved Prediction of Analog Performance Parameters. *International Test Conference*. 252-261, 2004.
- E. Romero, G. Peretti, G. Huertas, D. Vázquez. Test of switched-capacitor ladder filters using OBT. *Microelectronics Journal*, 36 :1073-1079, 2005.
- K. Saab, N. Ben-Hamida, B. Kaminska. Parametric Fault Simulation and Test Vector Generation. *Proc. Conference on Design, Automation and Test in Europe*, 650-656, 2000.
- M. Soma. A design-for-test methodology for active analog filters. *Proceedings IEEE International Test Conference*, 183-192, 1990.
- D. Vázquez, A. Rueda, J. Huertas. A new strategy for testing analog filters. *IEEE VLSI Test Symposium*, 36-41, 1994.
- B. Vinnakota (Editor). *Analog and Mixed-Signal Test*. Prentice Hall, 1998.